

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2758410号

(45)発行日 平成10年(1998) 5月28日

(24)登録日 平成10年(1998) 3月13日

(51)Int.Cl.⁶

G 0 2 F 1/136

識別記号

5 0 0

F I

G 0 2 F 1/136

5 0 0

請求項の数2 (全 7 頁)

(21)出願番号 特願昭63-206577

(22)出願日 昭和63年(1988) 8月19日

(65)公開番号 特開平2-54217

(43)公開日 平成2年(1990) 2月23日

審査請求日 平成6年(1994)10月26日

前置審査

(73)特許権者 999999999

三菱電機株式会社

東京都千代田区丸の内2丁目2番3号

(72)発明者 松本 隆夫

兵庫県尼崎市塚口本町8丁目1番1号

三菱電機株式会社材料研究所内

(74)代理人 弁理士 早瀬 憲一

審査官 吉野 公夫

(56)参考文献 特開 昭62-143027 (J P, A)

特開 昭63-64023 (J P, A)

特開 昭63-81327 (J P, A)

特開 昭62-75419 (J P, A)

特開 昭60-184228 (J P, A)

特開 昭59-46629 (J P, A)

最終頁に続く

(54)【発明の名称】 マトリクス型表示装置

1

(57)【特許請求の範囲】

【請求項1】 能動素子アレイ基板上に、それぞれ薄膜トランジスタと画素電極を有する複数の画素がマトリクス状に配置され、

前記薄膜トランジスタは、前記能動素子アレイ基板上に形成されたゲート電極と、該ゲート電極上および上記能動素子アレイ基板の上記画素電極が形成された領域以外の領域の表面を覆うように形成されたゲート絶縁膜と、このゲート絶縁膜上に形成された半導体層と、この半導体層上に配置された第1の主電極と、同じく前記半導体層上に配置され前記画素電極に接続された第2の主電極とを有した逆スタガ型のものであり、

上記複数の画素の各々の周囲を取り囲むよう、かつ該画素電極の周辺部の上から連続して隣接する各画素電極の間の領域および該画素領域内の前記半導体層上を覆い、

2

かつこれらに接して前記能動素子アレイ基板上に配置されたブラックマトリクス層を備えたことを特徴とするマトリクス型表示装置。

【請求項2】 能動素子アレイ基板上に、それぞれ薄膜トランジスタと画素電極を有する複数の画素がマトリクス状に配置され、

前記薄膜トランジスタは、前記能動素子アレイ基板上に形成されたゲート電極と、該ゲート電極上および上記能動素子アレイ基板の上記画素電極が形成された領域以外の領域の表面を覆うように形成されたゲート絶縁膜と、このゲート絶縁膜上に形成された半導体層と、この半導体層上に配置された第1の主電極と、同じく前記半導体層上に配置され前記画素電極に接続された第2の主電極とを有した逆スタガ型のものであり、

上記複数の画素の各々の周囲を取り囲むよう、かつ該画

3

素電極の周辺部の上から連続して隣接する各画素電極の間の領域および該画素領域内の前記半導体層上を覆い、かつこれらに接して前記能動素子アレイ基板上に配置されたブラックマトリクス層と、前記画素電極と重なるように前記能動素子アレイ基板上に配置されたカラーフィルタとを備えたことを特徴とするマトリクス型表示装置。

【発明の詳細な説明】

〔産業上の利用分野〕

この発明は、能動素子アレイ基板と、上記能動素子アレイ基板と対向する対向電極基板とを備え、上記両基板間に液晶等の表示材料を挟持した構造のマトリクス型表示装置に関するものである。

〔従来の技術〕

第6図は能動素子アレイを用いたマトリクス型表示装置の構成と動作を説明するための図、第7図は従来の能動素子アレイを用いたマトリクス型表示装置の構成を示す断面模式図であり、図において、1はゲート電極線、2はソース電極線、3はドレイン電極、4は薄膜トランジスタ（以下TFTと略す）、5は画素電極、6は液晶、7は信号蓄積コンデンサ、8はTFTアレイ基板、9は対向電極基板、10, 11, 12はそれぞれ赤、緑、青のカラーフィルタ、13はブラックマトリクス、14は対向電極である。

マトリクス型表示装置は、第6図にその単位画素の構成を示したように、複数のゲート電極線1およびこのゲート電極線1と交差する複数のソース電極線2よりなるマトリクス型の電極配線を有し、その各交点にTFT等の能動素子4、ドレイン電極3に接続された画素電極5、信号蓄積コンデンサ7等よりなる能動素子アレイ基板8と、画素電極5の対向する位置にカラー表示のためのカラーフィルタの例えば赤色10、緑色11、青色12等を配置し、その上部に透明導電膜等よりなる対向電極14を設けた対向電極基板9に備え、この両電極基板8, 9の間に液晶等の表示材料6を挟持した構造となっている。

上述のように構成されたマトリクス型表示装置のゲート電極線1に走査信号を供給し、同じ行のゲート電極線1に接続されたTFT4等の能動素子を一齐にオン状態とし、各列のソース電極線2に所望のビデオ信号を供給して、ドレイン電極3に接続された信号蓄積コンデンサ7および液晶等の表示材料6により形成されるコンデンサにビデオ信号を供給して表示する。この一連の動作をゲート電極線1の数だけ繰り返して所望のビデオパターンを表示する。

また、マトリクス型表示装置でテレビジョン等の映像やコンピュータの端末表示等で文字やグラフィック像を高解像度に表示するには、前述のゲート電極線1が約400本以上、ソース電極線2が約2000本以上必要である。また第6図に示した単位画素の大きさは、画面サイズにも依存するが、対角線が約10インチ程度の画面で、110

4

μm (横) $\times 330\mu\text{m}$ (縦) 程度で、これは極めて微細であり、かつ単位画素の必要数は上述したように約80万個以上が必要である。また画素電極5およびカラーフィルタ10, 11, 12の各色のセグメント数も単位画素と同数個により構成され、2枚の異なる基板上に分散配置されている。

第7図に示すように、従来のマトリクス型表示装置では、全てカラーフィルタ10, 11, 12およびブラックマトリクス13が対向電極基板9側に形成されており、一方このカラーフィルタに高精度に対向すべき画素電極5は能動素子アレイ基板8側に形成されている。この結果、大型、大面積の基板（約300mm \times 300mm以上）上に前述のカラーフィルタのセグメント10, 11, 12および画素電極5を異なる2枚の基板8, 9上に各々80万個以上の個数を約100 μm ~300 μm のピッチで高精度に配列することが必要である。またマトリクス型液晶表示装置を形成するためには上述の構成の両基板8, 9の表面を対向させ、各カラーフィルタセグメント10, 11, 12と画素電極5を高精度に位置決めし、両基板8, 9間に表示材料の液晶6を注入するために約5~10 μm \pm 10%程度の微小かつ均一なセルギャップを形成することが必要であり、この間での両基板8, 9の位置ズレに伴ってカラーフィルタセグメント10, 11, 12と画素電極5間に約10 μm 以上のズレが発生する。また表示特性のコントラスト等を改良するために設けられるブラックマトリクス13は例えばゼラチンを主体とした染色または固着法等でカラーフィルタ10, 11, 12と同時に対向電極基板9側に形成されているので、前述のセルギャップを介して外部光が透過、散乱によりTFT4等の能動素子部に侵入し、フォトンによるオフ時のリーク電流の増大等、素子特性の劣化を生じるため、能動素子アレイ基板側8のTFT4の上部に専用の遮光膜を備える必要がある等、製造プロセスが複雑でコストが高い等の難点が多い。

〔発明が解決しようとする課題〕

以上に説明したように、従来のマトリクス型表示装置ではカラーフィルタ10, 11, 12及びブラックマトリクス13が能動素子4、画素電極5の形成された能動素子アレイ基板8とは別の対向電極基板9側に形成されているので、

画素電極5及びカラーフィルタ10, 11, 12の配列位置精度の高精度化が難しく、両基板間で同一位置精度のものが得難い。

前述した両基板8, 9を結合させ、マトリクス表示装置を構成する場合の両基板8, 9間の重ね合わせのズレにより画素電極5とカラーフィルタ10, 11, 12との間に位置ズレが生じ、実質的な画素の開口率が減少し、表示性能が低下または色ズレが生じてマトリクス型表示装置として致命的な欠陥となる。

ブラックマトリクスが対向電極14側に形成されているため前述の5~10 μm のセルギャップを介してTFT等の能動素子4部に外部光が侵入し、フォトンによるTF

10

20

30

40

50

5

T等の能動素子4のオフ時のリーク電流による特性の劣化等によりマトリクス型表示装置の性能が低下する。またこの劣化現象を回避するためには、能動素子アレイ基板8側の能動素子4の上部に絶縁膜を介して専用の遮光膜を形成することが必要で、この結果プロセスが複雑となり、製造歩留りが低下し、コストの上昇をきたす。といった多くの問題点があった。

この発明は上記のような問題点を解消するためになされたもので、画素電極とカラーフィルタの位置合わせ精度が高く、実効的な開口率が高く、色ズレのない、かつ製造プロセスが簡単で歩留りの高い、すなわちカラー表示性能が良好でかつ低コストなマトリクス型表示装置を得ることを目的とする。

〔課題を解決するための手段〕

この発明（請求項1）に係るマトリクス型表示装置は、能動素子アレイ基板上に、それぞれ薄膜トランジスタと画素電極を有する複数の画素がマトリクス状に配置され、前記薄膜トランジスタは、前記能動素子アレイ基板上に形成されたゲート電極と、該ゲート電極上および上記能動素子アレイ基板の上記画素電極が形成された領域以外の領域の表面を覆うように形成されたゲート絶縁膜と、このゲート絶縁膜上に形成された半導体層と、この半導体層上に配置された第1の主電極と、同じく前記半導体層上に配置され前記画素電極に接続された第2の主電極とを有した逆スタガ型のものであり、上記複数の画素の各々の周囲を取り囲むよう、かつ該画素電極の周辺部の上から連続して隣接する各画素電極の間の領域および該画素領域内の前記半導体層上を覆い、かつこれらに接して前記能動素子アレイ基板上に配置されたブラックマトリクス層を備えたものである。

また、この発明（請求項2）に係るマトリクス型表示装置は、能動素子アレイ基板上に、それぞれ薄膜トランジスタと画素電極を有する複数の画素がマトリクス状に配置され、前記薄膜トランジスタは、前記能動素子アレイ基板上に形成されたゲート電極と、該ゲート電極上および上記能動素子アレイ基板の上記画素電極が形成された領域以外の領域の表面を覆うように形成されたゲート絶縁膜と、このゲート絶縁膜上に形成された半導体層と、この半導体層上に配置された第1の主電極と、同じく前記半導体層上に配置され前記画素電極に接続された第2の主電極とを有した逆スタガ型のものであり、上記複数の画素の各々の周囲を取り囲むよう、かつ該画素電極の周辺部の上から連続して隣接する各画素電極の間の領域および該画素領域内の前記半導体層上を覆い、かつこれらに接して前記能動素子アレイ基板上に配置されたブラックマトリクス層と、前記画素電極と重なるように前記能動素子アレイ基板上に配置されたカラーフィルタとを備えたものである。

〔作用〕

この発明（請求項1）においては、能動素子アレイ基

6

板上に、それぞれ薄膜トランジスタと画素電極を有する複数の画素がマトリクス状に配置され、前記薄膜トランジスタは、前記能動素子アレイ基板上に形成されたゲート電極と、該ゲート電極上および上記能動素子アレイ基板の上記画素電極が形成された領域以外の領域の表面を覆うように形成されたゲート絶縁膜と、このゲート絶縁膜上に形成された半導体層と、この半導体層上に配置された第1の主電極と、同じく前記半導体層上に配置され前記画素電極に接続された第2の主電極とを有した逆スタガ型のものであり、上記複数の画素の各々の周囲を取り囲むよう、かつ該画素電極の周辺部の上から連続して隣接する各画素電極の間の領域および該画素領域内の前記半導体層上を覆い、かつこれらに接して前記能動素子アレイ基板上に配置されたブラックマトリクス層を備えたものとしたから、

i. ブラックマトリクス層をTFTの上部に直接接するよう設けているので、TFT専用の遮光膜が不要でもって、TFTのフォトン防止の効果が得られ、従って、製造プロセスが簡略化でき、歩留りが上がり、コストが下がる、
ii. ゲート絶縁膜をゲート電極上および上記能動素子アレイ基板の上記画素電極が形成された領域以外の領域の表面を覆うように形成しているため、アレイ基板の不純物をこの絶縁膜で封じ込め、該絶縁膜上に配置される半導体層に不純物が混入することを抑制でき、不純物を多く含む安価な基板を用いても信頼性の高い装置を実現でき、また、基板全面がゲート絶縁膜と画素電極によって覆われるのでこれらの上層に設けられる層をエッチングする際のエッチャントの選択を容易とできる、という効果が得られる。

また、この発明（請求項2）においては、能動素子アレイ基板上に、それぞれ薄膜トランジスタと画素電極を有する複数の画素がマトリクス状に配置され、前記薄膜トランジスタは、前記能動素子アレイ基板上に形成されたゲート電極と、該ゲート電極上および上記能動素子アレイ基板の上記画素電極が形成された領域以外の領域の表面を覆うように形成されたゲート絶縁膜と、このゲート絶縁膜上に形成された半導体層と、この半導体層上に配置された第1の主電極と、同じく前記半導体層上に配置され前記画素電極に接続された第2の主電極とを有した逆スタガ型のものであり、上記複数の画素の各々の周囲を取り囲むよう、かつ該画素電極の周辺部の上から連続して隣接する各画素電極の間の領域および該画素領域内の前記半導体層上を覆い、かつこれらに接して前記能動素子アレイ基板上に配置されたブラックマトリクス層と、前記画素電極と重なるように前記能動素子アレイ基板上に配置されたカラーフィルタとを備えたものとしたから、上記i, iiの効果に加えて、

iii. TFT、カラーフィルタ、ブラックマトリクス層を同一基板上に写真製版により形成するので、相互の位置精度がよく、開口率が上がり、色ズレがなくなる、

7

iv. TFT, カラーフィルタ, ブラックマトリクス層の一体化により、製造プロセスが単純化でき、セルギャップによる視差がなくなる、

v. ブラックマトリクス層, およびカラーフィルタをTFTアレイ基板上に形成して基板を一つにしているから、上記基板, 各層等の位置精度は半導体技術によるきわめて高精度の位置精度となって、その位置ずれは非常に小さくなり、開口率を大きく向上できるという効果が得られる。

〔実施例〕

以下、この発明の一実施例を図について説明する。

第1図は本発明の一実施例によるマトリクス型表示装置を示す断面図であり、図において、第7図と同一符号は同一または相当部分であり、図に示すように、カラーフィルタ10, 11, 12およびブラックマトリクス13は、TFT4等の能動素子を備えた能動素子アレイ基板8側に形成されている。

本発明の能動素子アレイ基板8は第3図、第4図、及び第5図に示すように、ガラス等の透明な基板上にITO等の透明導電膜よりなる画素電極5を例えば反応性スパッタ法を用いて成膜し、パターニングして形成する。次いでクロム (Cr) 等よりなるゲート電極線2をスパッタ法等で成膜し、パターニングして形成する。この後ゲート絶縁膜17, アモルファスシリコン (a-Si) 等の半導体15および図示しないリン (P) 等の半導体不純物をドーパしたN型アモルファスシリコン (a-Si (n)) 等をプラズマCVD法を用いて連続的に成膜した後にa-Si等よりなる半導体15, ゲート絶縁膜17を各々所望形状のパターンに加工する。そして、ソース電極線2およびドレイン電極3として例えばAlをスパッタ法等で形成し、ドレイン電極3と画素電極5を接続するとともにソース電極線2とドレイン電極3間のa-Si (n) をエッチング除去して、TFT4, ドレイン電極3によりTFT4に接続された画素電極5, ゲート電極線1, およびソース電極線2よりなるマトリクス電極配線が完成する。この後、必要に応じて該マトリクス電極配線構造の機能を検査し、選別してもよい。次に、例えばゼラチンを主体とした染色法で能動素子アレイ基板8上の画素電極5の上部にカラーフィルタ10, 11, 12, およびブラックマトリクス13をそれぞれの色が所定の色配列になるように、順次ゼラチン形成〜染色のプロセスを繰り返して形成する。これらカラーフィルタ10, 11, 12, およびブラックマトリクス13を形成する際には能動素子アレイ基板8上に形成された図示しない写真製版用の高精度位置決め用レジスターマークを使用する。

このようにして作成された能動素子アレイ基板8を用いて構成される本実施例によるマトリクス型表示装置では、

画素電極5とカラーフィルタ10, 11, 12およびブラックマトリクス13が同一の能動素子アレイ基板8に同一の

8

位置決め用レジスターマークを基準に形成されているので極めて相互の位置精度がよく、実効的な画素の開口率が向上し、画素電極5とカラーフィルタ10, 11, 12と重ね合わせのズレにより生じる色ズレ不良が皆無となる。

また、ブラックマトリクス13をTFT4等の上部に接して設けるように構成したので、TFT4等のフォトコンによる特性劣化を回避するために設ける専用の遮光膜が不要となる結果、能動素子アレイ基板8と対向電極基板9を含めた製造プロセスが簡略化され、製造歩留りが向上し、コストが低減できる。

さらに、本実施例において、半導体層15を薄膜化 (約500Å以下) して、フォトコンによる劣化を低減する場合、ブラックマトリクス13により外部光が完璧に遮光でき、フォトコンの全くない良好な表示性能を有するマトリクス型表示装置を実現できる。

また、本実施例のマトリクス型表示装置は上述の能動素子アレイ基板8を用いて構成するから、表示する場合に必要な殆どすべての構成要素が能動素子アレイ基板8側に最適化して組み込まれているために、対向電極基板9側はITO等の透明電極よりなる対向電極14のみの単純な構成で良く、両基板8, 9の全体を含めた製造プロセスが単純化、簡略化でき、セルギャップ5~10μmによるパララックスもなくなる等多くの利点を有する。

なお、上記実施例では、TFT4等の能動素子の上部にブラックマトリクス13、カラーフィルタ10, 11, 12等を直接形成したが、TFT4等の上部にこれら能動素子の特性を安定させるための保護膜として、SiN, またはSiO₂膜16を形成してからカラーフィルタ10, 11, 12、ブラックマトリクス13を形成してもよい。

また、上記実施例では、能動素子アレイ基板8の画素電極5の上部にブラックマトリクス13およびカラーフィルタ10, 11, 12等を形成したが第2図に示すように、カラーフィルタ10, 11, 12およびブラックマトリクス13を形成してから画素電極5を形成し、ドレイン電極3に接続するようにしてもよい。この構成の例ではTFT4を介して供給されるビデオ信号が効果的に液晶6等の表示材料に伝達できる特徴を有している。

また、上記実施例ではTFT4等の半導体15としてアモルファスSiを例に説明したが、キャリア移動度の高いポリSi等を用いても同様の構成が可能であり、この場合には上記実施例に比して信号に対する応答特性が期待できるとともに、マトリクス表示装置を駆動するために必要なシフトレジスタ等の駆動回路が能動素子アレイ基板8上に一体化して形成できるという特徴を有している。

〔発明の効果〕

以上のように、この発明 (請求項1) によれば、マトリクス型表示装置において、能動素子アレイ基板上に、それぞれ薄膜トランジスタと画素電極を有する複数の画素がマトリクス状に配置され、前記薄膜トランジスタは、前記能動素子アレイ基板上に形成されたゲート電極

10

20

30

40

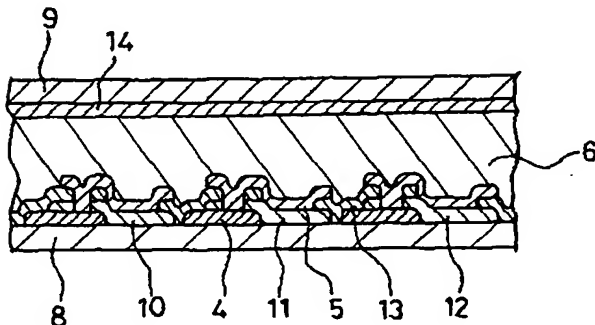
50

と、該ゲート電極上および上記能動素子アレイ基板の上記画素電極が形成された領域以外の領域の表面を覆うように形成されたゲート絶縁膜と、このゲート絶縁膜上に形成された半導体層と、この半導体層上に配置された第1の主電極と、同じく前記半導体層上に配置され前記画素電極に接続された第2の主電極とを有した逆スタガ型のものであり、上記複数の画素の各々の周囲を取り囲むよう、かつ該画素電極の周辺部の上から連続して隣接する各画素電極の間の領域および該画素領域内の前記半導体層上を覆い、かつこれらに接して前記能動素子アレイ基板上に配置されたブラックマトリクス層を備えたものとしたから、

i. ブラックマトリクス層をTFTの上部に直接接するよう設けているので、TFT専用の遮光膜が不要でもって、TFTのフォトコン防止の効果が得られ、従って、製造プロセスが簡略化でき、歩留りが上がり、コストが下がる、
ii. ゲート絶縁膜をゲート電極上および上記能動素子アレイ基板の上記画素電極が形成された領域以外の領域の表面を覆うように形成しているため、アレイ基板の不純物をこの絶縁膜で封じ込め、該絶縁膜上に配置される半導体層に不純物が混入することを抑制でき、不純物を多く含む安価な基板を用いても信頼性の高い装置を実現でき、また、基板全面がゲート絶縁膜と画素電極によって覆われるのでこれらの上層に設けられる層をエッチングする際のエッチャントの選択を容易とできる、
という効果が得られる。

また、この発明（請求項2）によれば、マトリクス型表示装置において、能動素子アレイ基板上に、それぞれ薄膜トランジスタと画素電極を有する複数の画素がマトリクス状に配置され、前記薄膜トランジスタは、前記能動素子アレイ基板上に形成されたゲート電極と、該ゲート電極上および上記能動素子アレイ基板の上記画素電極が形成された領域以外の領域の表面を覆うように形成されたゲート絶縁膜と、このゲート絶縁膜上に形成された半導体層と、この半導体層上に配置された第1の主電極と、同じく前記半導体層上に配置され前記画素電極に接

【第2図】



続された第2の主電極とを有した逆スタガ型のものであり、上記複数の画素の各々の周囲を取り囲むよう、かつ各画素電極の周辺部の上から連続して隣接する各画素電極の間の領域および前記半導体層上を覆い、かつこれらに接して前記能動素子アレイ基板上に配置されたブラックマトリクス層と、前記画素電極と重なるように前記能動素子アレイ基板上に配置されたカラーフィルタとを備えたものとしたから、上記i, iiの効果に加えて、
iii. TFT, カラーフィルタ, ブラックマトリクス層を同一基板上に写真製版により形成するので、相互の位置精度がよく、開口率が上がり、色ズレがなくなる、
iv. TFT, カラーフィルタ, ブラックマトリクス層の一体化により、製造プロセスが単純化でき、セルギャップによる視差がなくなる、
v. ブラックマトリクス層、およびカラーフィルタをTFTアレイ基板上に形成して基板を一つにしているから、上記基板、各層等の位置精度は半導体技術によるきわめて高精度の位置精度となっており、その位置ずれは非常に小さくなり、開口率を大きく向上できる、
という効果が得られる。

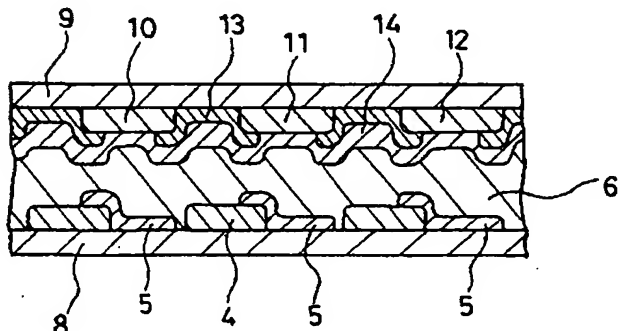
【図面の簡単な説明】

第1図はこの発明の一実施例によるマトリクス型表示装置を示す断面図、第2図はこの発明の他の実施例を示す断面図、第3図は本発明の一実施例によるマトリクス型表示装置の能動素子アレイ基板を示す平面図、第4図は第3図のA-A断面図、第5図は本発明の一実施例によるマトリクス型表示装置の能動素子アレイ基板上のブラックマトリクスの構成を示す図、第6図はマトリクス型表示装置の構成、作用動作を説明するための図、第7図は従来のマトリクス型表示装置の構成を説明するための断面図である。

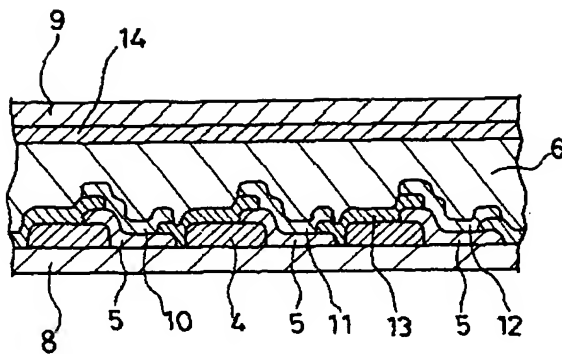
1はゲート電極線、2はソース電極線、3はドレイン電極、4はTFT、5は画素電極、6は液晶、8は能動素子アレイ基板、9は対向電極基板、10, 11, 12はカラーフィルタ、13はブラックマトリクス。

なお図中同一符号は同一又は相当部分を示す。

【第7図】

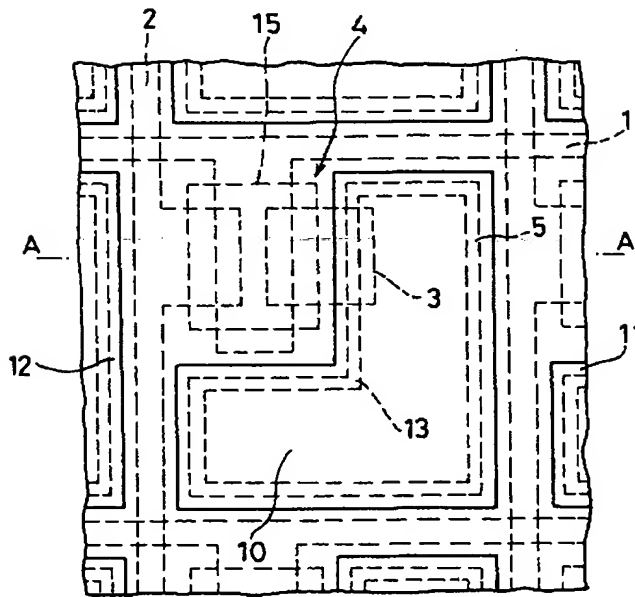


【第1図】



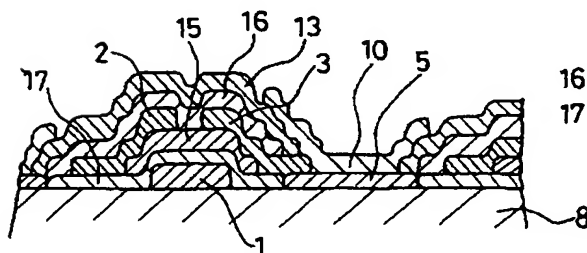
- 4: TFT
- 5: 画素電極
- 6: 液晶
- 8: TFT アレイ基板
- 9: 対向電極基板
- 10: カラーフィルタ
(赤)
- 11: カラーフィルタ
(緑)
- 12: カラーフィルタ
(青)
- 13: ブラック
マトリクス
- 14: 対向電極

【第3図】



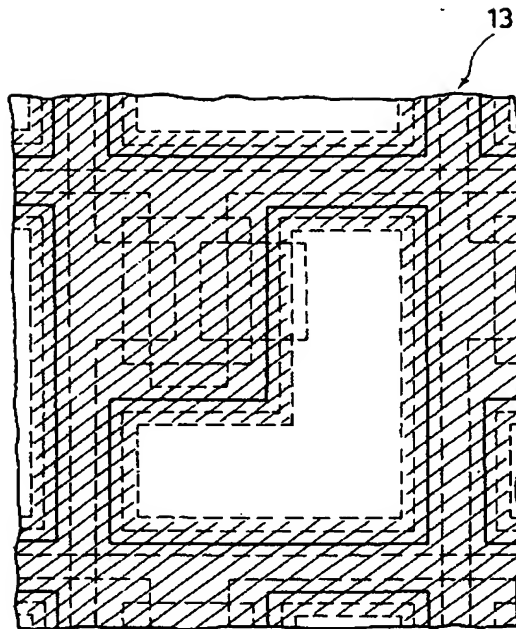
- 1: ゲート電極線
- 2: ソース電極線
- 3: ドレイン電極
- 4: TFT
- 5: 画素電極
- 8: TFT アレイ基板
- 10: カラーフィルタ
(赤)
- 11: カラーフィルタ
(緑)
- 12: カラーフィルタ
(青)
- 13: ブラック
マトリクス
- 15: 半導体

【第4図】



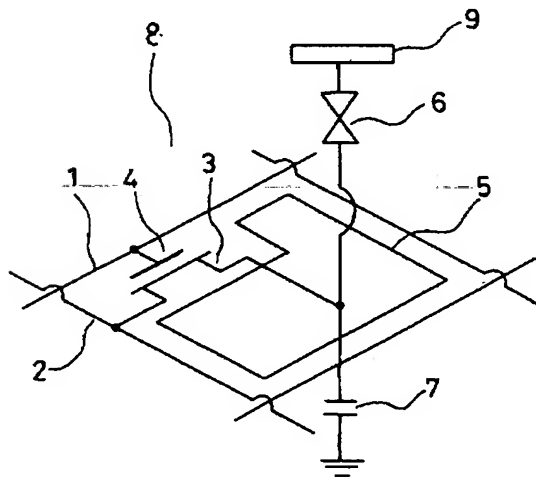
- 16: 保護膜
- 17: ゲート絶縁膜

【第5図】



13: ブラック
マトリクス

【第6図】



7: 倍々蓄積コンデンサ

フロントページの続き

(58)調査した分野(Int. Cl. ⁶, DB名)
G02F 1/136 500